

DIALOG(R)File 347:JAPIO

(c) 2006 JPO & JAPIO. All rts. reserv.

03888109 **Image available**

CLOCK DRIVING CIRCUIT

PUB. NO.: **04-253209** [JP 4253209 A]

PUBLISHED: September 09, 1992 (19920909)

INVENTOR(s): YAMAGAMI YUTAKA

APPLICANT(s): NEC IC MICROCOMPUT SYST LTD [470861] (A Japanese Company or
Corporation), JP (Japan)

APPL. NO.: 03-029444 [JP 9129444]

FILED: January 29, 1991 (19910129)

INTL CLASS: [5] G06F-001/06; H01L-027/04

JAPIO CLASS: 45.9 (INFORMATION PROCESSING -- Other); 42.2 (ELECTRONICS --
Solid State Components)

JAPIO KEYWORD:R098 (ELECTRONIC MATERIALS -- Charge Transfer Elements, CCD &
BBD)

JOURNAL: Section: P, Section No. 1473, Vol. 17, No. 33, Pg. 122,
January 21, 1993 (19930121)

ABSTRACT

PURPOSE: To prevent the switching noises of difference phase clocks from
being affected each other through a power supply line.

CONSTITUTION: A power supply line 3 suppling power to first phase clock
driving gate circuits 11 and 12 and a ground line 5 are wired independently
of a power supply line 4 suppling power to second phase clock driving
circuits 13 and 14 and a ground line 6 each other. Thus, the switching
noises of different phase clocks are prevented from being affected each
other through the power supply line, and the cross voltages of different
phase clock wave-forms can be prevented from being increased.

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平4-253209

(43)公開日 平成4年(1992)9月9日

(51)Int.Cl. ⁵ G 06 F 1/06 H 01 L 27/04	識別記号 D 8427-4M 7368-5B	府内整理番号 F I G 06 F 1/04	技術表示箇所 3 1 1 A
---	------------------------------	------------------------------	-------------------

審査請求 未請求 請求項の数3(全4頁)

(21)出願番号 特願平3-29444	(71)出願人 000232036 日本電気アイシーマイコンシステム株式会社 神奈川県川崎市中原区小杉町1丁目403番53
(22)出願日 平成3年(1991)1月29日	(72)発明者 山上 裕 神奈川県川崎市中原区小杉町一丁目403番53 日本電気アイシーマイコンシステム株式会社内
	(74)代理人 弁理士 藤巻 正憲

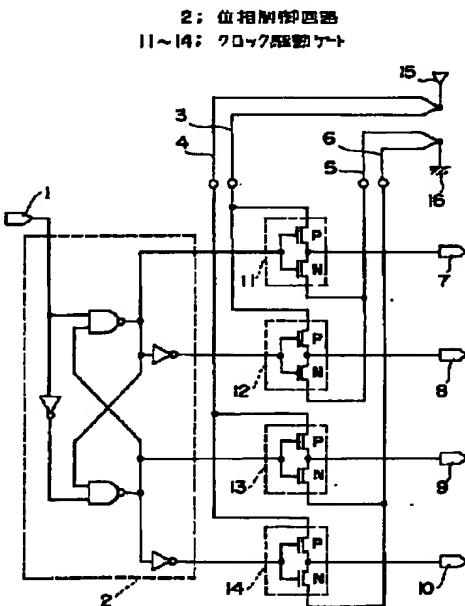
(54)【発明の名称】 クロツク駆動回路

(57)【要約】

【目的】 異相クロックのスイッチングノイズが電源線を介して相互に影響し合うことを防止する。

【構成】 第1相クロック駆動ゲート回路11及び12に電源を供給する電源線3及び接地線5と、第2相クロック駆動ゲート回路13及び14に電源を供給する電源線4及び接地線6を、互いに独立した配線とする。

【効果】 異相クロックのスイッチングノイズが電源線を介して相互に影響し合うことを防止し、異相クロック波形の交差電圧の上昇を防ぐ。



1

2

【特許請求の範囲】

【請求項1】複数相のクロック信号を供給するクロック駆動回路において、各相のクロック信号駆動部の電源線及び接地線が、異なる相のクロック信号駆動部の電源線及び接地線とは互いに独立であることを特徴とするクロック駆動回路。

【請求項2】前記各相のクロック信号駆動部の電源線及び接地線は、相毎に独立であることを特徴とする請求項1に記載のクロック駆動回路。

【請求項3】同一の相の前記クロック信号駆動部は、共通の電源線及び接地線に接続されることを特徴とする請求項1又は2に記載のクロック駆動回路。 10

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、クロック駆動回路に係り、特に多相クロックを回路に供給するクロック駆動回路に関する。

【0002】

【従来の技術】変化時刻が互いに異なる複数相のクロック信号を回路に供給する従来のクロック駆動回路、例えば、非重複多相クロックの駆動回路は、各相のクロック駆動部分が共通の電源線及び接地線によって電源の供給を受けていた。

【0003】通常、クロック線の負荷容量は他の信号線と比較して非常に大きいためクロック駆動回路のスイッチングに伴って大きな電源電流がながれ、そのため電源線及び接地線にノイズが発生する。この電源ノイズは、非重複の異相クロック間で相互に影響し合う。

【0004】例えば、非重複2相クロックの場合、図3のようなクロック波形を生成しようとしたとき、電源線及び接地線の波形に図4のようなノイズが発生し、その結果クロック駆動回路から出力されるクロックの波形は図5のように変形し、異相クロック波形の交差電圧が上昇する。 30

【0005】

【発明が解決しようとする課題】上述したように従来の非重複多相クロック回路は、異相クロックのスイッチングノイズが電源線及び接地線を介して相互に影響し合い、異相クロックの交差電圧が上昇して、最悪の場合は交差電圧がスイッチング素子の閾値を超してしまう。このようなクロック波形の歪はデジタル回路における様々な誤動作の原因となっている。

【0006】例えば、クロック波形の歪によってスイッチング素子のゲート電位が上昇すると、不必要的時刻に素子が導通状態となり、ダイナミック回路における保持抜けや、ラッチ回路における信号の箇抜け等の誤動作を生じる。

【0007】本発明はかかる問題点に鑑みてなされたものであって、異相クロックのスイッチングノイズが電源線及び接地線を介して影響し合うことのないクロック駆 40 50

動回路を提供することを目的とする。

【0008】

【課題を解決するための手段】本発明に係るクロック駆動回路は、複数相のクロック信号を供給するクロック駆動回路において、各相のクロック信号駆動部の電源線及び接地線が、異なる相のクロック信号駆動部の電源線及び接地線とは互いに独立であることを特徴とする。

【0009】

【作用】本発明のクロック駆動回路においては、各相のクロック信号駆動部の電源線及び接地線が、異相のクロック信号駆動部の電源線及び接地線と共に接続されないので、異相クロックのスイッチングノイズが電源線及び接地線を介して影響し合うことがない。

【0010】

【実施例】以下、添付の図面を参照して、本発明の実施例について説明する。

【0011】図1は、本発明の一実施例に係るクロック駆動回路の構成を示しており、本実施例では反転論理出力付きの非重複2相クロック駆動回路を例に挙げている。

【0012】図1のクロック駆動回路は、2個の NANDゲート及び3個のインバータからなる位相制御回路2と、夫々P-MOSFET及びN-MOSFETからなるクロック駆動ゲート回路11～14とを有している。クロック駆動ゲート回路11～14は、第1相正相クロック駆動ゲート回路11、第1相逆相クロック駆動ゲート回路12、第2相正相クロック駆動ゲート回路13、及び第2相逆相クロック駆動ゲート回路14で構成される。第1相正相クロック駆動ゲート回路11及び第1相逆相クロック駆動ゲート回路12は、共通の高電位電源線、即ち電源線3、及び共通の接地電源線、即ち接地線5を介して夫々高電位基準電位源15及び低電位基準電位源16に接続されている。第2相正相クロック駆動ゲート回路13及び第2相逆相クロック駆動ゲート回路14は、共通の高電位電源線、即ち電源線4、及び共通の接地電源線、即ち接地線6を介して夫々高電位基準電位源15及び低電位基準電位源16に接続されている。つまり、互いに異なる第1相と第2相のクロック駆動ゲート回路11、12と13、14は夫々異なる電源線3と4及び接地線5と6を介して高電位基準電位源15及び低電位基準電位源16から電源の供給を受けている。

【0013】次に、このように構成された本実施例装置における動作を説明する。

【0014】入力端子1に供給される原クロックは、位相制御回路2を通った後、各相毎に分かれてクロック駆動ゲート回路11～14に供給される。クロック駆動ゲート回路11～14は、夫々出力端子7～10を通して各別に負荷を駆動する。電源線3及び4は高電位基準電源15から、各々独立に配線されており、電源線3は第1相のクロック駆動ゲート回路11及び12に、また電

3

源線 4 は第 2 相のクロック駆動ゲート回路 1 3 及び 1 4 に高電位電源出力を供給する。接地線 5 及び 6 は低電位基準電位源 1 6 から各々独立に配線され、接地線 5 は第 1 相のクロック駆動ゲート回路 1 1 及び 1 2 に、また接地線 6 は第 2 相のクロック駆動ゲート回路 1 3 及び 1 4 に低電位電源出力、即ち接地電位を供給する。

【0015】第 1 相のクロック駆動ゲート回路 1 1 及び 1 2 は、共に同一の時刻にスイッチングを行い、同様に第 2 相のクロック駆動ゲート回路 1 3 及び 1 4 は、共に同一時刻にスイッチングを行う。この場合、第 1 相のクロック駆動ゲート回路 1 1, 1 2 と第 2 相のクロック駆動ゲート回路 1 3, 1 4 とはスイッチング時刻にずれがあるため、従来ならばスイッチングノイズによって相互に妨害し合う関係にある。しかしながら、図 1 の構成においては、電源線 3 と 4 は互いに独立であり、また接地線 5 と 6 も互いに独立であるため、スイッチングノイズによる各相間の相互の妨害はおこらない。

【0016】次に、この状況を波形を参照して説明する。

【0017】図 6 は従来のクロック駆動回路の出力波形及び電源波形の一例をあらわしたものである。第 1 相のクロック CK 1 と、その反転信号 CK 1 B の変化点で電源電圧の変動が生じ、同様に第 2 相のクロック CK 2 とその反転信号 CK 2 B の変化点でも電源電圧の変動が生じるため、第 1 相のクロックと第 2 相のクロックは相互に妨害し合っている。

【0018】図 2 は本発明のクロック駆動回路の出力波形及び電源波形の一例であり、これら各波形は、夫々、図 1 の出力端子 7, 8、電源線 3、接地線 5、電源線 4、接地線 6、及び出力端子 9, 10 における波形である。図 6 に示すように、第 1 相の出力端子 7 及び 8 の波形の変化点で電源線 3 及び接地線 5 に発生する電源ノイズは、第 2 相の電源線 4 及び接地線 6 に伝わらず、同様に出力端子 9 及び 10 の変化点で電源線 4 及び接地線 6 に発生する電源ノイズは電源線 3 及び接地線 5 に伝わらないので、出力端子 7, 8, 9, 及び 10 に夫々出力されるクロック信号の波形に歪は生じない。

【0019】このように、複数相のクロック信号駆動部

の電源線及び接地線を相毎に互いに分離して独立させることにより、各相のクロック信号駆動部から発生するスイッチングノイズが電源線及び接地線を介して相互に影響し合うことがなく、異相クロック波形の交差電圧の上昇を防ぐことができる。その結果、クロックによって制御されるデジタル回路において、従来しばしば発生していた、保持抜けや、信号の箇抜け等の誤動作を防止することができる。

【0020】本発明は、上述の実施例に限定されず、例えば、正相と逆相のクロック駆動ゲート回路の電源線及び接地線も分離して互いに独立とする等、種々変形して実施することができる。

【0021】

【発明の効果】以上述べたように、本発明によれば、複数の相のクロック信号駆動部の電源線及び接地線を互いに分離して独立とすることにより、各相のクロック信号駆動部から発生するスイッチングノイズが電源線及び接地線を介して相互に影響し合うことのないクロック駆動回路を提供することができる。

【図面の簡単な説明】

【図 1】本発明の一実施例に係るクロック駆動回路の構成を示す回路図である。

【図 2】図 1 のクロック駆動回路の出力波形及び電源波形図である。

【図 3】非重複 2 相クロックの理想的な波形図である。

【図 4】非重複 2 相クロック駆動回路が発生するノイズを含んだ電源の波形図である。

【図 5】従来の非重複 2 相クロック駆動回路の出力波形図である。

【図 6】従来のクロック駆動回路の出力波形及び電源波形図である。

【符号の説明】

2 : 位相制御回路

3, 4 : 高電位電源線（電源線）

5, 6 : 接地電源線（接地線）

1 1 ~ 1 4 : クロック駆動ゲート回路

1 5 : 高電位基準電位源

1 6 : 低電位基準電位源

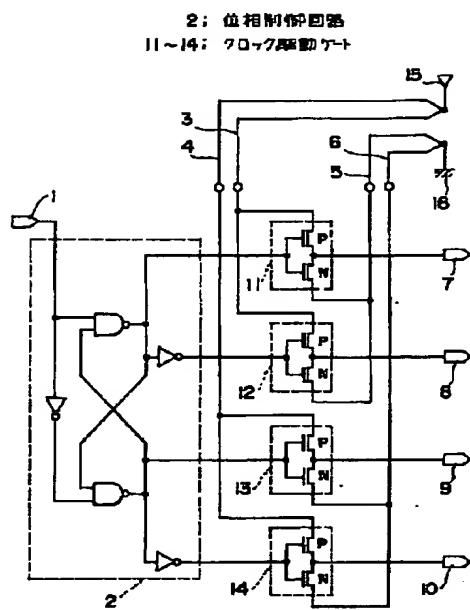
【図 3】



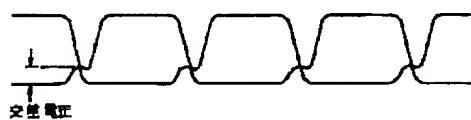
【図 4】



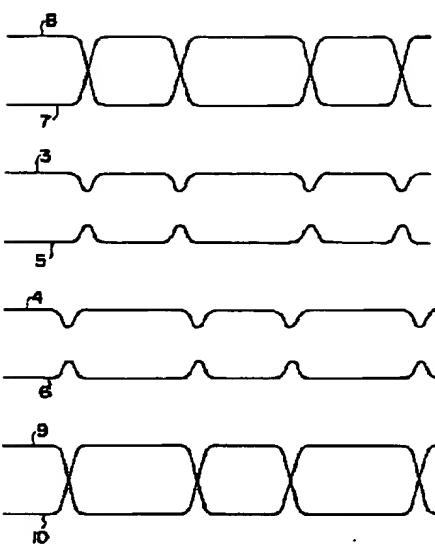
【図1】



【図5】



【図2】



【図6】

